

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63152155 A**(43) Date of publication of application: **24.06.88**

(51) Int. Cl.

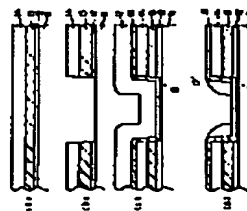
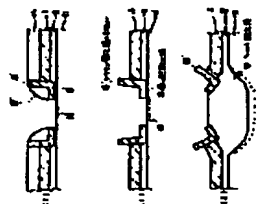
**H01L 21/94****H01L 21/76**(21) Application number: **61300674**(22) Date of filing: **16.12.86**(71) Applicant: **SHARP CORP**(72) Inventor: **TATEWAKI YOICHI  
TSUBAKIYAMA MITSUHIRO**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1988,JPO&amp;Japio

(57) Abstract

PURPOSE: To reduce an element isolation region and simultaneously prevent generation of damage in a substrate, by performing selective oxidation after forming the offset of an  $\text{Si}_3\text{N}_4$  film wherein an  $\text{SiO}_2$  thin film is formed for an Si substrate.

CONSTITUTION: An  $\text{SiO}_2$  12, and  $\text{Si}_3\text{N}_4$  13 and an  $\text{SiO}_2$  14 are stacked on a P-type Si substrate 11. A mask is formed, RIE is performed, an  $\text{SiO}_2$  thin film 15 is arranged, and an  $\text{Si}_3\text{N}_4$  thin film 16 and an  $\text{SiO}_2$  film 17 are deposited. Then a sidewall 17' of  $\text{SiO}_2$  is formed by RIE, and the  $\text{Si}_3\text{N}_4$  16 and the  $\text{SiO}_2$  15 are eliminated by etching. The  $\text{SiO}_2$  14 and the sidewall 17' are subjected to wet etching, and an offset 16' of the  $\text{Si}_3\text{N}_4$  film is formed. Thus an offset of  $\text{Si}_3\text{N}_4$  is formed which has the  $\text{SiO}_2$  thin film 15 as a buffer layer around a prearranged element isolation region. After a P-type inversion protection layer 18 is formed by implanting ions, a field oxide film 19 is formed by wet oxidation. By this constitution, the element isolation region can be reduced, and damages do not generate in the substrate.



BEST AVAILABLE COPY

## ⑫ 公開特許公報(A)

昭63-152155

⑮ Int.Cl.<sup>4</sup>H 01 L 21/94  
21/76

識別記号

庁内整理番号

6708-5F  
M-7131-5F

⑯ 公開 昭和63年(1988)6月24日

審査請求 未請求 発明の数 1 (全3頁)

⑰ 発明の名称 半導体装置の製造方法

⑱ 特 願 昭61-300674

⑲ 出 願 昭61(1986)12月16日

⑳ 発 明 者 帯 刀 洋 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内㉑ 発 明 者 椿 山 光 宏 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

㉒ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉓ 代 理 人 弁理士 杉山 毅 至 外1名

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

- シリコン窒化膜から成るオフセットを形成した後、選択酸化を行なって素子分離用フィールド酸化膜を形成する、半導体装置の製造方法に於いて、上記オフセットとシリコン基板との間に薄いシリコン酸化膜を設ける構成としたことを特徴とする、半導体装置の製造方法。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明は半導体装置の製造方法に係り、特に、選択酸化による微細な素子分離領域の形成方法に関するものである。更に述べるならば、本発明は、パズピーク伸長抑制のための、シリコン窒化膜から成るオフセットを設ける構成の素子分離領域形成方法の改良に関するものである。

## &lt;従来の技術&gt;

第2図(a)~(e)は従来の製造方法の主要工程段階

に於ける状態を示す断面図である。

シリコン基板1上に熱酸化膜2を形成した後、シリコン窒化膜3、シリコン酸化膜4を順次堆積し、マスク形成、反応性イオンエッチングにより、素子領域予定領域上に、熱酸化膜2、シリコン窒化膜3、シリコン酸化膜4のパターンを形成する(第2図(a))。続いて、薄いシリコン窒化膜5、シリコン酸化膜6を堆積する(第2図(b))。反応性イオンエッチングにより素子領域予定領域周辺にシリコン酸化膜のサイドウォール6'を形成し、続いて、このサイドウォール6'及びシリコン酸化膜4をマスクとしてシリコン窒化膜5をエッチングする(第2図(c))。シリコン酸化膜4とシリコン酸化膜のサイドウォール6'をウェットエッチングにより除去し、シリコン窒化膜のオフセット5'を形成する(第2図(d))。この結果、素子分離予定領域の周囲にシリコン窒化膜のオフセットが形成された状態となる。しかる後、スチーム雰囲気中で選択酸化を行ない、フィールド酸化膜7を形成する(第2図(e))。

# <発明が解決しようとする問題点>

しかしながら、上記従来の製造方法には以下に示す問題点があった。すなわち、従来の方法では、素子分離領域端の形状が急峻になり、基板に損傷が生じ易いという問題点があった。

本発明は上記問題点を解決することを目的としているものであり、素子分離領域幅を縮小しながらも、適度のバースビークを形成させ、これによって、素子分離領域端の形状を緩やかにし、損傷発生を低減化を達成した半導体装置製造方法を提供するものである。

# <問題点を解決するための手段>

その下面、すなわち、シリコン基板との間に薄いシリコン酸化膜を有する、シリコン窒化膜のオフセットを形成し、その後、選択酸化を行なって素子分離領域を形成する。

# <作 用>

上記構成とすることにより、適度のバースビークが形成され、素子分離領域端の形状が緩やかになる。

14とシリコン酸化膜のサイドウォール17'をウェットエッチングにより除去し、シリコン窒化膜のオフセット16'を形成する(第1図(f))。この結果、素子分離予定領域の周囲に、薄い熱酸化膜15をパッファ層として持つシリコン窒化膜のオフセットが形成される。途中、第1図(e)の段階で、フィールド反転防止のために、不純物、例えば $B^+$ をイオン注入する(18:P型反転防止層)。しかる後、スチーム雰囲気中で選択酸化を行い、フィールド酸化膜19を形成する(第1図(g))。以下、図示しないが通常の工程に従い、フィールド酸化膜19で囲まれた素子領域に素子を形成して半導体装置を形成する。

# <発明の効果>

以上詳細に説明したように、本発明の半導体装置製造方法は、シリコン基板との間に薄いシリコン酸化膜を有するオフセットを形成した後、選択酸化を行って、素子分離領域を形成するようにしたことを特徴とするものであり、本発明によれば、素子分離領域の縮小化を達成できると同時に、基

# <実施例>

以下、実施例に基づいて本発明を詳細に説明する。

第1図(a)-(g)は本発明の一実施例の主要工程段階に於ける状態を示す断面図である。

まず、P型シリコン基板11上に熱酸化膜12を形成した後、シリコン窒化膜13、シリコン酸化膜14を順次堆積する(第1図(a))。続いて、マスク形成、反応性イオンエッチングにより、素子領域予定領域上に、熱酸化膜12、シリコン窒化膜13及びシリコン酸化膜14のパターンを形成する(第1図(b))。次いで、薄い熱酸化膜15を形成し、薄いシリコン窒化膜16、シリコン酸化膜17を堆積する(第1図(c))。反応性イオンエッチングにより素子領域予定領域の周辺にシリコン酸化膜のサイドウォール17'を形成する(第1図(d))。続いて、シリコン酸化膜のサイドウォール17'とシリコン酸化膜14をマスクとして、シリコン窒化膜16と薄い熱酸化膜15をエッチングする(第1図(e))。続いて、シリコン酸化膜

板中の損傷発生も防止することができる、きわめて有用な半導体装置製造方法を提供することができるものである。

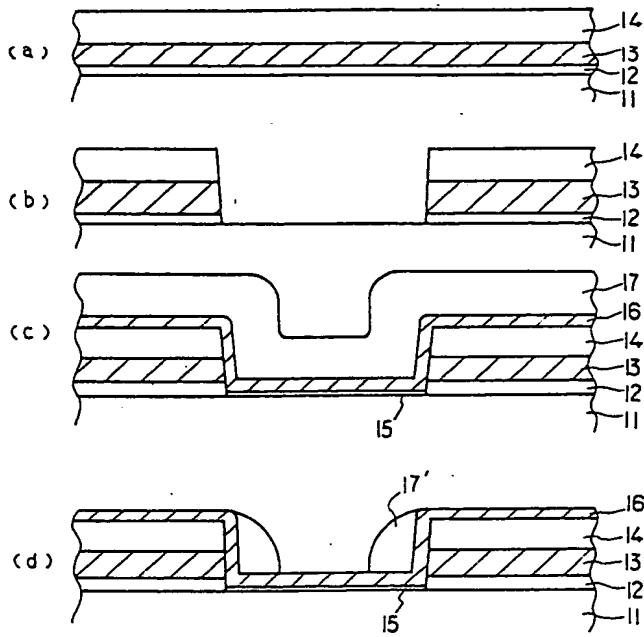
# 4. 図面の簡単な説明

第1図(a)乃至(g)は本発明に係る素子分離領域形成工程を工程順に示す断面図、第2図(a)乃至(e)は従来の素子分離領域形成工程を工程順に示す断面図である。

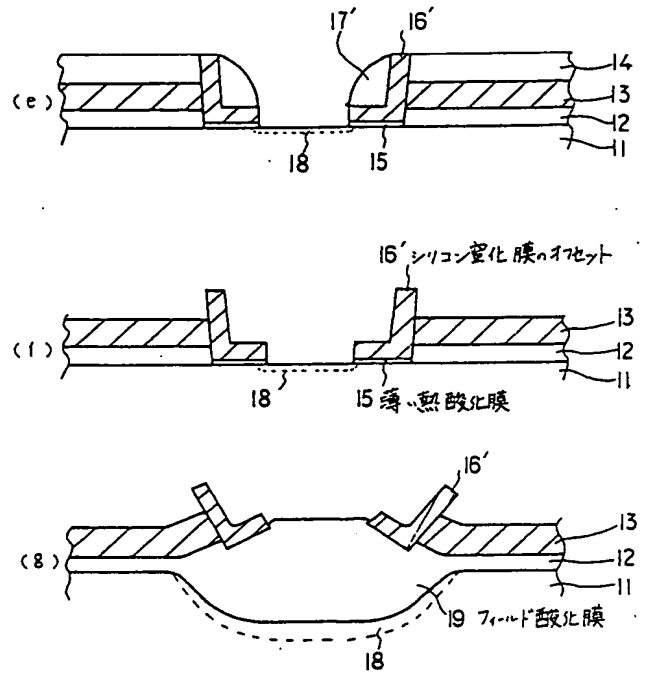
# 符号の説明

11:P型シリコン基板、12:熱酸化膜、13:シリコン窒化膜、14:シリコン酸化膜、15:薄い熱酸化膜、16:薄いシリコン窒化膜、16':シリコン窒化膜のオフセット、17:シリコン酸化膜、17':シリコン酸化膜のサイドウォール、18:P型反転防止層、19:フィールド酸化膜。

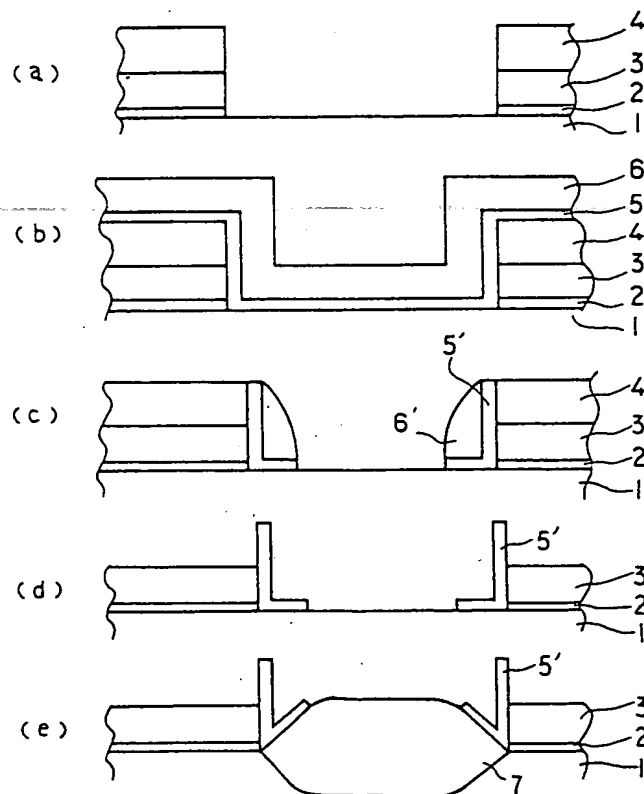
代理人 弁理士 杉 山 毅 至(他1名)



第1図



第1図



第2図